

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2004006643 A**

(43) Date of publication of application: **08.01.2004**

(51) Int. Cl. **H01L 21/027**
B82B 3/00

(21) Application number: **2003018275**

(22) Date of filing: **28.01.2003**

(30) Priority: **31.01.2002 US 2002 062952**

(71) Applicant: **HEWLETT PACKARD CO <HP>**

(72) Inventor: **LEE HEON**

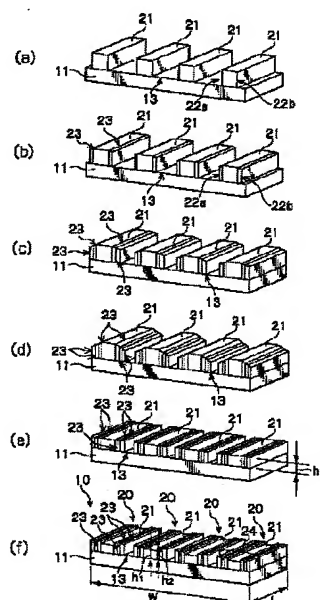
(54) STAMP FOR NANO SIZE IMPRINTS USING SPACER TECHNIQUE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a stamp for nano size imprints for forming complicated patterns and shapes on a large area.

SOLUTION: The stamp includes a substrate 11 having a usable base surface 13, a plurality of imprint stamps 20 in contact with the base surface 13 and extending outward of it have a prescribed shape and comprise micro-features 21 provided with opposed side surfaces 22a and 22b and a plurality of spacers 23 extending laterally outward of the opposed side surfaces 22a and 22b, and the micro-features 21 and the spacers 23 extend outward of the base surface 13. Also, the micro-features 21 and the spacers 23 have different heights h_1 and h_2 and widths between the micro-features 21 and the spacers 23 so as to define an imprint profile 24.

COPYRIGHT: (C)2004,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-6643

(P2004-6643A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷H01L 21/027
B82B 3/00

F1

H01L 21/30 502D
B82B 3/00

テーマコード(参考)

5F046

審査請求 未請求 請求項の数 1 O L (全 18 頁)

(21) 出願番号 特願2003-18275 (P2003-18275)
 (22) 出願日 平成15年1月28日(2003.1.28)
 (31) 優先権主張番号 10/062952
 (32) 優先日 平成14年1月31日(2002.1.31)
 (33) 優先権主張国 米国(US)

(特許庁注: 以下のものは登録商標)
 パイレックス
 PYREX

(71) 出願人 398038580
 ヒューレット・パッカード・カンパニー
 HEWLETT-PACKARD COM
 PANY
 アメリカ合衆国カリフォルニア州パロアル
 ト ハノーバー・ストリート 3000
 (74) 代理人 100075513
 弁理士 後藤 政喜
 (74) 代理人 100084537
 弁理士 松田 嘉夫
 (72) 発明者 ヘオン リー
 アメリカ合衆国 カリフォルニア9408
 7 サニーベレ ブラハムウェイ455
 エーピーティー230
 Fターム(参考) 5F046 AA28

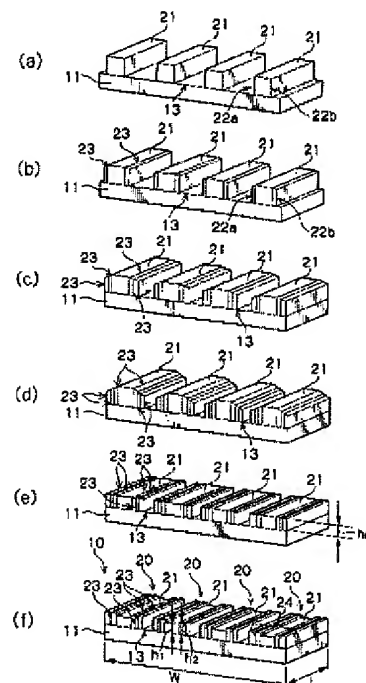
(54) 【発明の名称】 スペーサ技術を用いるナノサイズインプリント用スタンプ

(57) 【要約】 (修正有)

【課題】 大きな領域上に複雑なパターンおよび形状を形成することができるナノサイズのインプリント用スタンプを提供する。

【解決手段】 利用可能なベース表面13を有する基板11と、前記ベース表面13と接触し、そこから外側に延在する複数のインプリントスタンプ20は、所定の形状を有し、相対する側面22a、22bを有する微小機構21と、前記相対する側面22a、22bから横方向外側に延在する複数のスペーサ23と、を備え、前記微小機構21および前記スペーサ23は前記ベース表面13から外側に延在し、また前記微小機構21および前記スペーサ23は、インプリントプロファイル24を画定するために、前記微小機構21および前記スペーサ23の間で異なる高さ h_1 、 h_2 および幅を有する。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

ワイドエリア・ナノサイズインプリント用スタンプ (10) において、
利用可能な領域 (A_U) を有するベース表面 (13) を有する基板 (11) と、
相互に離隔されて前記利用可能な領域 (A_U) の概ね全てを占有するように配置され、前
記ベース表面 (13) と接触し、そこから外側に延在する複数のインプリントスタンプ (20) と、
前記各インプリントスタンプ (20) は所定の形状を有し、相対する側面 (22a、22b) を有する微小機構 (21) と、前記相対する側面 (22a、22b) から横方向外側に延在する複数のスペーサ (23) と、を備え、
前記微小機構 (21) および前記スペーサ (23) は前記ベース表面 (13) から外側に延在し、また前記微小機構 (21) および前記スペーサ (23) は、インプリントプロファイル (24) を画定するために、前記微小機構 (21) および前記スペーサ (23) の間で異なる高さ (h_1 、 h_2) および幅を有する、
ことを特徴とするワイドエリア・ナノサイズインプリント用スタンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は全般に、スペーサ技術を用いるナノメートルサイズのインプリント用スタンプを形成する構造および方法に関する。より具体的には、本発明は、その結果として得られるインプリント用スタンプが、そのインプリント用スタンプが形成される基板の表面積の概ね全体を占有することができ、またそのインプリント用スタンプが、インプリント用スタンプ間で異なる複雑な形状を有することができる、スペーサ技術を用いるナノメートルサイズのインプリント用スタンプを形成する構造および方法に関する。

【0002】

【従来の技術】

ナノインプリントリソグラフィは、ナノサイズ (数十ナノメートル程度) のパターンを得るための有望な技術である。ナノサイズのパターンを形成する際に重要なステップは、ナノサイズのパターンと相補的な形状を有するパターンを含むインプリント用スタンプを最初に形成することである。

【0003】

図 1 (a) では、従来のナノインプリントリソグラフィプロセスが、複数のインプリントパターン 202 がその上に形成されたインプリント用スタンプ 200 を含む。図 1 (b) では、インプリントパターン 202 は、隣接する線 204 との間を複数の空間 206 によって分離された複数の線 204 を有する、簡単な線および空間パターンから構成される。インプリント用スタンプ 200 を特別に設計されたマスク層 203 上に押圧することにより (破線の矢印 201 を参照)、マスク層 203 の厚みがインプリントパターン 202 (図 1 (a) を参照) に応じて変化し、インプリントパターン 202 がマスク層 203 に複製されるようになる。

【0004】

典型的には、マスク層 203 はポリマーのような材料から形成される。たとえば、マスク層 203 のためにフォトレジスト材料を用いることができる。マスク層 203 は支持基板 205 上に堆積される。マスク層 203 内にインプリントパターン 202 を複製し、かつマスク層 203 の全面積を覆うために、ステップ・アンド・リピートプロセスを用いて、インプリント用スタンプ 200 がマスク層 203 に繰返し押圧される。

【0005】

図 2 では、ステップ・アンド・リピートプロセス後に、マスク層 203 は、インプリントパターン 202 の形状と相補的な形状を有する複数のナノサイズの圧痕 207 を含む。次に図 3 では、マスク層 203 は異方性エッチング (すなわち、方向性の高いエッチング) されて、マスク層 203 内にナノサイズのパターン 209 が形成される。典型的には、支

10

20

30

40

50

持基板 205、あるいはマスク層 203 と支持基板 205 との間に配置される別の層（図示せず）が、異方性エッチングのためのエッチストップとしての役割を果たす。別法では、マスク層 203 は、下側をなす層のためのエッチングマスクとしての役割を果たすことができ（図 7（a）～図 7（d）の参照番号 208 を参照されたい）、ナノサイズの圧痕 207 のパターンが、後続の異方性エッチングプロセスによって下層に複製される。

【0006】

図 4（a）では、従来のインプリント用スタンプ 200 上へのインプリントパターン 202 の形成が、基板 215 上に薄膜材料の層（211、213）を交互に堆積して、基板 215 から外側に延在する多層薄膜 210 を形成することにより開始される。その後、多層薄膜 210 は、破線の矢印 S によって示される方向に沿って、複数の個別の部分 Δ_s にスライスされる。たとえば、図 4（b）では、基板 215 として、その上に多層薄膜 210 が堆積された半導体材料のウェーハを用いることができる。多層薄膜 210 の全ての層が堆積された後に、ウェーハ（すなわち基板 215）はスライスされ、個別の部分 Δ_s が形成される。

【0007】

図 5（a）では、個別の部分 Δ_s は多層薄膜 210 の一部と、基板 215 の一部とを含む。図 5（b）および図 5（c）では、個別の部分 Δ_s が選択的にエッチングされ、インプリントパターン 202 が画定される。交互に堆積された層（211、213）間のエッチング速度の差によって、層のうちの一方が他方の層よりも速くエッチングされるようになり、結果として、交互に堆積された層（211、213）間に高さの差が生じる。それら

10

20

の高さの差がインプリントパターン 202 を画定する。

【0008】

従来のインプリントスタンプ 200 の 1 つの欠点は、図 5（b）、図 5（c）および図 6 に示されるようにインプリントパターン 202 がインプリント用スタンプ 200 の利用可能な領域の一部にしか形成されないことである。インプリントパターン 202 は、パターン形成できない領域 N_A よりも著しく小さなインプリント領域 I_A を占有する。結果として、利用可能な領域の一部のみがインプリントパターン 202 によって用いられる。

【0009】

従来のインプリントスタンプ 200 の第 2 の欠点は、図 6 に示されるようにインプリントパターン 202 が簡単な線および空間パターン（204、206）から構成されることである。結果として、形成されるナノサイズの圧痕 207 も簡単な線および空間パターンに制限される。なぜなら、圧痕 207 はインプリントパターン 202 と相補的な形状を有するためである。

30

【0010】

図 7（a）では、インプリントスタンプ 200 がマスク層 203 上に押圧され（201）、マスク層 203 内のインプリントパターン 202 の簡単な線 204 および空間 206 のパターンが複製される。図 7（b）では、押圧ステップ後に、マスク層 203 は、その中に複製された相補的な形状のナノサイズの圧痕 207 を含む。上記のように、ナノサイズの圧痕 207 も、204' および 206' としてそれぞれ示される簡単な線および空間パターンを有する。

40

【0011】

図 7（c）では、空間パターン 206' が下層 208 の上側表面 208' と一致し、線パターン 204' が上側表面 208' から外側に延在するまで、マスク層 203 が異方性エッチングされる。線および空間パターン（204'、206'）は後続の異方性エッチングステップのためのエッチングマスクとしての役割を果たすであろう。次に図 7（d）では、線および空間パターン（204'、206'）によって形成されるマスクを通して下層 208 が異方性エッチングされ、ナノサイズパターン 209 が画定される。

【0012】

図 7（a）～図 7（d）に示されるような従来のインプリントプロセスの別の欠点は、インプリントスタンプ 200 のインプリント領域 I_A およびパターン形成できない領域 N_A

50

がナノサイズパターン209において複製され、基板205の利用可能な領域のうちの小さな部分だけがパターン形成された領域 P_A によって示されるようなナノサイズパターン209を含み、基板205の大部分がパターン形成されない領域 U_A として残されるようになることである。たとえば、パターン形成される領域 P_A は数ミクロンになり、パターン形成されない領域 U_A は数百ミクロン以上になる可能性がある。

【0013】

ステップ・アンド・リピートプロセスを用いて、マスク層203のより大きな領域上にインプリントパターン202を繰返し押圧することができるが、そのプロセスの結果として、マスク層203からある量の材料がインプリントパターン202に接着することにより、あるいは繰返し押圧するステップに起因するインプリントパターン202の摩耗によって、プリントに欠陥が生じるようになる。さらに、ステップ・アンド・リピートプロセスは、上記の簡単な線および空間パターン(204、206)によって加えられる制限に対処しない。

【0014】

【発明が解決しようとする課題】

それゆえ本発明の目的は、大きな領域上に形成されることができるナノサイズのインプリント用スタンプを提供することである。また、本発明の目的は複雑なパターンおよび形状を含むことができるナノサイズのインプリント用スタンプを提供することである。

【0015】

【課題を解決するための手段】

本発明のナノサイズインプリントスタンプは上記の欠点および制限を解消する。本発明のワイドエリア・ナノサイズインプリント用スタンプは、基板の利用可能な表面積の概ね全てを占有することができる複数のインプリントスタンプを含み、それにより、インプリントパターンが利用可能な領域の一部にしか形成されなかった従来のインプリントスタンプの欠点のうちの1つを解決する。本発明のインプリントスタンプは、インプリントスタンプの間で変更することができる複雑な所定形状を有し、それにより、従来のインプリントスタンプの簡単な線および空間パターンに関する制限を解消する。さらに、本発明のインプリント用スタンプは、広い領域にわたって形成されることができ、それにより、従来のインプリントスタンプのパターン形成できない領域に関連する欠点も解決される。

【0016】

本発明の他の態様および利点は、一例として本発明の原理を示す、添付の図面とともに取り上げられる以下に記載される詳細な説明から明らかになるであろう。

【0017】

【発明の実施の形態】

以下に記載される詳細な説明およびいくつかの図面において、類似の要素は類似の参照番号で特定される。

【0018】

説明のための図面に示されるように、本発明は、その上に利用可能な領域を画定されたベース表面を含む基板によって支持されるワイドエリア・ナノサイズインプリント用スタンプにおいて具現される。複数のインプリントスタンプがベース表面と接触し、ベース表面から外側に延在する。インプリントスタンプは互いから離隔して配置され、ベース表面の利用可能な領域の概ね全てを占有する。各インプリントスタンプは所定の形状を有しており、相対して配置される側面を有する微小機構と、相対する側面上に形成され、その側面から外側に延在する複数のスペーサとを含む。スペーサおよび微小機構もベース表面から外側に延在し、スペーサおよび微小機構は、インプリントプロファイルを画定するためにスペーサおよび微小機構の間で異なる高さおよび幅を含む。そのインプリントプロファイルは、マスク層上にパターンとして刻印されることができる複雑な形状を画定することができる。

【0019】

図8では、基板11が、ベース表面13の幅 W と長さ L との積によって、利用可能な領域

10

20

30

40

50

$A_U = W * L$ のように画定される利用可能な領域 A_U を有するベース表面 13 を含む。図 8 には長方形の形状が示されるが、本発明はその形状には限定されず、たとえば、円形のような他の形状を用いることができ、利用可能な領域 A_U を、選択された形状に基づいて決定することができる。たとえば、円形の場合の利用可能な領域 A_U は、 $A_U = 2 \pi * r^2$ になるであろう。複数のインプリントスタンプ 20 がベース表面 13 と接触し、ベース表面 13 から外側に延在する（以下に説明される）。インプリントスタンプ 20 は互いから離隔して配置され、インプリントスタンプ 20 が利用可能な領域 A_U の概ね全てを占有するようにベース表面 13 上に配置される。

【0020】

図 8 および図 10 では、各インプリントスタンプ 20 は所定の形状を有しており、ベース表面 13 から外側に延在し、相対する側面（22a、22b）を含む微小機構 21 を含む。各インプリントスタンプ 20 はさらに、微小機構 21 の相対する側面（22a、22b）から横方向外側に延在する複数のスペーサ 23（図 10 には 2 つが示される）を含み、スペーサ 23 もベース表面 13 から外側に延在する。微小機構 21 およびスペーサ 23 は、インプリントプロファイル 24 を画定するために、微小機構 21 およびスペーサ 23 の間で異なる高さおよび幅を含む（以下に説明する）。

【0021】

図 9 では、スペーサ 23 が、たとえば化学気相成長（CVD）あるいは原子層堆積（ALD）のようなマイクロエレクトロニクス分野においてよく知られている堆積プロセスを用いて微小機構 21 およびベース表面 13 上にスペーサ層 23a のための材料を堆積することにより形成されることができる。スペーサ層 23a のための材料は微小機構 21 およびベース表面 13 上にコンフォーマルに堆積され、相対する側面（22a、22b）上の材料の第 1 の厚み t_1 が、ベース表面 13 上、および微小機構 21 の上側表面 25 上の材料の第 2 の厚み t_2 に概ね等しく（ $t_1 \approx t_2$ ）なるようにすることが好ましい。すなわち、材料の横方向の成長速度は、材料の縦方向の成長速度と概ね等しい。上側表面 25 およびベース表面 13 上に堆積されるスペーサ層 23a の部分は、破線の矢印 E によって示される好ましいエッチング方向においてより速いエッチング速度で材料をエッチングする、たとえば異方性エッチングのような選択性の高いエッチングプロセスを用いて除去される。結果として、上側表面 25 およびベース表面 13 を覆う材料が除去され、相対する側面（22a、22b）を覆う材料は残されて、図 10 に示されるようなスペーサ 23 が形成される。

【0022】

図 11（a）では、複数の微小機構 21 が基板 11 のベース表面 13 上に形成される。スペーサ 23 のための材料をコンフォーマルに堆積し、次に選択的にエッチングした後に、図 11（b）に示されるように、相対する側面（22a、22b）上に複数のスペーサ 23 が形成される。

【0023】

必要に応じて堆積プロセスを繰り返して、図 11（c）および図 11（d）に示されるようにさらに多くのスペーサ 23 を形成することができる。各堆積ステップの後に選択的なエッチングステップが続く。

【0024】

図 11（e）では、所望の数のスペーサ 23 が形成された後に、その複数の微小機構 21 およびそれらの関連するスペーサ 23 は、たとえば化学機械平坦化（CMP）のような平坦化プロセスによって平坦化される（すなわち、概ね平坦に成形される）。平坦化ステップの後に、その微小機構 21 およびそれらの関連するスペーサ 23 は、概ね均一な高さ h。だけベース表面 13 から外側に延在する。

【0025】

図 11（f）では、ワイドエリア・ナノサイズインプリント用スタンプ 10 が、微小機構 21 およびスペーサ 23 を選択的にエッチングすることにより形成される。たとえば、エッチング剤は、微小機構 21 だけをエッチングし、微小機構 21 の高さ（すなわち、それ

10

20

30

40

50

らがベース表面 13 から外側に延在する高さ) がエッチング時間とともに減少するように選択されることができる。結果として、エッチングプロセス後には、その微小機構 21 とそれらの関連するスペーサ 23 との間に高さの変化が生じる (h_1 および h_2)。それらの高さの変化 (h_1 および h_2) は、各インプリントスタンプ 20 のためのインプリントプロファイル 24 を画定する。

【0026】

種々のスペーサ 23 および微小機構 21 が形成される材料に応じて、エッチング剤によってターゲットにされない材料をエッチングすることなく、その材料のうちの 1 つあるいは複数のみをエッチングし、その材料の高さを減少させるようなエッチング剤を選択することができる。結果として、エッチングプロセス後に、各インプリントスタンプ 20 のインプリントプロファイル 24 を画定するスペーサ 23 および微小機構 21 の間に高さの変化が生じるであろう。

【0027】

各インプリントスタンプ 20 の所定の形状は、微小機構 21 およびスペーサ 23 を画定するために用いられるリソグラフィプロセス、微小機構 21 およびスペーサ 23 のために用いられる材料、および各インプリントスタンプ 20 のインプリントプロファイル 24 を画定するために用いられるエッチング剤およびエッチングプロセスを含むいくつかの要因によって画定される。その所定の形状は、全てのインプリントスタンプ 20 の間で同一の形状にすることができるか、全てのインプリントスタンプ 20 の間で異なる形状にすることができるか、あるいは全てのインプリントスタンプ 20 の間で同一の形状と異なる形状とを組み合わせることができる。

【0028】

図 11 (f) では、インプリントスタンプ 20 の所定の形状は、全てのインプリントスタンプ 20 の間で同一である。対照的に、図 14 および図 15 では、インプリントスタンプ 20 は、全てのインプリントスタンプ 20 (2 つが示される) の間で異なる所定の形状を有する。図 11 (f)、図 14 および図 15 に示されるように、インプリントスタンプ 20 は、複雑な形状を画定するインプリントプロファイル 24 を有することができる。

【0029】

図 12 (a) ~ 図 12 (c) では、図 14 のインプリントスタンプ 20 のための複雑な形状が、最初にベース表面 13 上に微小機構 21 を堆積することにより形成される。図 12 (a) では、微小機構 21 は円形と菱形とを有する。しかしながら、それらの形状は一例にすぎず、本発明は、ここに記載される形状だけに限定されるものと解釈されるべきではない。同様に、図 12 (b) では、微小機構 23 の形状と一致する形状を有するスペーサ 23 が、ベース表面 13 上と、相対する側面 (22a、22b) (図示せず) 上とに形成される。図 12 (c) では、さらに別のスペーサ 23 の層が、以前に形成されたスペーサ 23 の層上に形成される。

【0030】

図 13 (a) ~ 図 13 (c) は、図 12 (c) の破線 A-A に沿って見た断面図である。図 13 (a) では、隣接するインプリントスタンプ 20 間に充填材層 31 が配置される。平坦化ステップを用いて構造全体が平坦化され、充填材層 31、微小機構 21 およびスペーサ 23 が概ね均一な高さ h_0 だけベース表面 13 から外側に延在し、破線 x によって示されるように概ね平坦な表面が画定されるようにする。

【0031】

図 14 では、1 回あるいは複数回の選択的なエッチングステップの後に、スペーサ 23 および充填材層 31 が、図 13 (c) の微小機構 21 より速いエッチング速度でエッチングされ、結果として、微小機構 21 がベース表面 13 から最も外側に延在するようになる。さらに、スペーサ 23 のために用いられるエッチング速度および材料の差によって、スペーサ 23 の最も内側の部分が、スペーサ 23 の最も外側の部分より遠くへ、ベース表面 13 から外側に延在するようになる。結果として、図 14 のインプリントスタンプ 20 は、同心状の円形および矩形を画定するインプリントプロファイル 24 を有する。図 15 では

10

20

30

40

50

、インプリントパターン 20 のための他の実現可能な複雑な形状が示される。リソグラフィプロセスおよびフォトリソグラフィマスクを用いて、図 15 のプロファイルに類似の複雑なインプリントプロファイル 24 を画定することができる。

【0032】

図 16 は、基板 11 (A で示される) 上に形成され、平坦化された複数の微小機構 21 (B で示される) およびスペーサ 23 (D、E および F で示される) を示す断面図である。本明細書に記載される全ての実施形態の場合に、微小機構 21 のための材料 B およびスペーサ 23 のための材料 D、E、F には、以下の表 1 に記載される材料を含むがそれらに限定しない材料を用いることができる。

【0033】

【表 1】

微小機構 21 およびスペーサ 23 のための材料
酸化シリコン (SiO_2)
窒化シリコン (Si_3N_4)
ポリシリコン
金属
酸窒化シリコン ($\text{Si}_2\text{N}_2\text{O}$)
炭化シリコン (SiC)
ダイヤモンド・ライク・カーボン
シリサイド

図 16 では、スペーサ 23 のための材料 D、E、F の層が、D、E、F のための材料として異なる材料あるいは同じ材料を用いることができるように交互に配列される。たとえば、D、E、F には、それぞれのエッチング速度を変更するために異なる不純物をドーピングした同じ材料を用いることができる。

【0034】

オプションでは、隣接するインプリントスタンプ 20 間に充填材層 31 (C で示される) を配置することができる。充填材層 31 には、以下の表 2 に記載される材料を含むがそれらに限定しない材料を用いることができる。

【0035】

【表 2】

充填材層 31 のための材料
テトラエチルオルトシリケート (TEOS)
ホウ素 (B) をドーピングしたテトラエチルオルトシリケート (BSG)
リン (P) をドーピングしたテトラエチルオルトシリケート (PSG)
ホウ素 (B) およびリン (P) をドーピングしたテトラエチルオルトシリケート (BPSG)

基板 11 (A で示される) は、以下の表 3 に記載される材料を含むがそれらに限定しない材料から形成されることができる。

【0036】

【表 3】

10

20

30

40

基板 1 1 のための材料
ガラス
バイレックス (登録商標)
酸化シリコン (SiO_2)
酸化アルミニウム (Al_2O_3)
リン化インジウム (InP)
半導体材料
シリコン (Si)

10

オプションでは、基板 1 1 (A で示される) は支持基板 S 上に形成されることができる。たとえば、基板 1 1 には酸化シリコン (SiO_2) の層を用いることができ、支持基板 S にはシリコン (Si) のような半導体材料を用いることができる。たとえば、支持基板 S には単結晶シリコン (Si) のウェーハを用いることができる。

【0037】

上記のように、インプリントスタンプ 2 0 は利用可能な領域 $A_U = W * L$ の概ね全てを占有することができる。しかしながら、いくつかの事例においては、インプリントスタンプが、利用可能な領域 A_U の概ね全ての領域よりも小さな領域を占有することが望ましいまたは必要な場合がある。図 1 8 (a) および図 1 8 (b) では、インプリントスタンプ 2 0 は、利用可能な領域 A_U より小さな領域 A_P を占有する。図 1 8 (a) では基板 1 1 は長方形を有し、図 1 8 (b) では基板 1 1 は円形を有する。いずれの場合でも、領域 A_P は基板 1 1 の一部を占有せず、その占有されない領域を用いて、ワイドエリア・ナノサイズインプリント用スタンプ 1 0 の微細加工中に基板 1 1 を物理的に取り扱うことができる。

20

【0038】

図 1 9 (a) では、ワイドエリア・ナノサイズインプリント用スタンプ 1 0 は、基板 1 1 上に形成される複数のダイ 5 0 上に形成されることができる。ダイ 5 0 は、ASIC のような半導体素子の製造時に用いられるダイと同じように互いから離隔して配置され、隣接するダイ間の空間は、基板を個々のダイに切断する際に用いられるスクライブマークを画定する。たとえば、基板 1 1 がシリコン (Si) のウェーハである場合には、ウェーハはスクライブ線に沿って切断され、個々のダイ 5 0 がウェーハから切り離される。

30

【0039】

破線 dd によって指示されるダイ 5 0 が図 1 9 (b) に詳細に示されており、ダイ 5 0 は $W_D * L_D$ の積として定義されるダイ面積を有し、インプリントスタンプ 2 0 は、ダイ面積 (すなわち $W_D * L_D$) の概ね全ての面積とすることができるか、あるいはダイ面積より小さい面積にとすることができるサブ領域 A_P を占有する。図 1 9 (b) では、サブ領域 A_P はダイ面積 ($W_D * L_D$) より小さい。

【0040】

ワイドエリア・ナノサイズインプリント用スタンプ 1 0 は、周知のマイクロエレクトロニクス処理技術を用いて形成されることができる。図 2 1 (a) ないし図 2 1 (d) では、微小機構 2 1 が、基板 1 1 のベース表面 1 3 の利用可能な領域 A_U 上に機構層 2 1 a を堆積することにより形成されることができる。その後、機構層 2 1 a はリソグラフィによりパターンニングされ (2 7)、さらにドライエッチングされて、上側表面 2 5 および相対する側面 (2 2 a、2 2 b) を有する複数の微小機構 2 1 が画定される。

40

【0041】

次に、スペーサ層 2 3 a が上側表面 2 5 および相対する側面 (2 2 a、2 2 b) 上で概ね等しい所望の厚み (t_1 、 t_2) を有する (すなわち t_1 、 t_2) まで、微小機構 2 1 上にスペーサ層 2 3 a をコンフォーマルに成長させる (図 9 の参照番号 2 3 a を参照されたい)。スペーサ層をコンフォーマルに成長させるために、CVD のようなプロセスを用い

50

ることができる。

【0042】

スペーサ層23aは、上側表面25上に配置されるスペーサ層23aの部分除去するために異方性エッチングされ、それにより微小機構21の相対する側面(22a、22b)上に配置される複数のスペーサ23を含む複数のインプリントスタンプ20が画定される。異方性エッチングステップのために、選択性の高いウエットあるいはドライエッチングプロセスを用いることができる。

【0043】

コンフォーマル成長ステップおよび異方性エッチングステップは必要に応じて繰り返されて、インプリントスタンプ20上にさらに別のスペーサ23が画定される。コンフォーマル成長ステップおよび異方性エッチングステップを完了した後に、微小機構21およびスペーサ23がベース表面から概ね同じ高さ h_0 だけ外側に延在するように、インプリントスタンプ20が平坦化される。平坦化ステップのためにCMPのようなプロセスを用いることができる。

10

【0044】

微小機構21およびスペーサ23のうちの選択された1つあるいは複数のものが選択的にエッチングされて、インプリントスタンプ20においてインプリントプロファイル24が画定される。選択的なエッチングプロセスは必要に応じて繰り返されて、微小機構21およびスペーサ23のうちの選択された1つあるいは複数のものが選択的にエッチングされ、それによりインプリントプロファイル24が画定される。微小機構21およびスペーサ23を選択的にエッチングするために、ウエットあるいはドライエッチングプロセスを用いることができる。

20

【0045】

上記の平坦化ステップの前に、充填材層31をインプリントスタンプ20上に堆積させることができる。充填材層31はインプリントスタンプ20を完全に覆う。充填材層31を堆積した後に、微小機構21、スペーサ23および充填材層31がベース表面13から概ね同じ高さ h_0 だけ外側に延在するように、平坦化ステップを用いて、インプリントスタンプ20および充填材層31が平坦化される。平坦化ステップの後、充填材層31が所定の厚み t_f に達するまで、充填材層31は選択的にエッチングされることができる。すなわち、充填材層31が概ね同じ高さ h_0 未満に窪むまでエッチングされる(図20を参照されたい)。

30

【0046】

図22では、ワイドエリア・ナノサイズインプリント用スタンプ10が押圧されて、フィルム層63とマスク層65とを支持するマスク基板61に接触する(破線矢印Uを参照されたい)。たとえば、マスク層65には、ワイドエリア・ナノサイズインプリント用スタンプ10およびマスク基板61が互いに押圧されて(U)接触する際に、変形し、インプリントスタンプ20のインプリントプロファイル24に一致するようになる、PMMMAのようなフォトリソ材料を用いることができる。後続の処理ステップでは、マスク層をエッチングして、インプリントプロファイル24によってその中に形成されるインプリントパターンを下側にあるフィルム層63に転写することができる。

40

【0047】

図17では、スペーサ技術を用いてワイドエリア・ナノサイズインプリント用スタンプ10を形成するための1つの方法の一例が、低濃度ドーパドレイン(LDD)の金属酸化膜半導体トランジスタ(MOS)のためのn-ゲートを形成するための微細加工プロセスに類似のプロセスを用いることを含む。基板11には、その上のベース表面13上に薄いゲート誘電体層41が堆積されたシリコン(Si)基板を用いることができる。ゲート誘電体層41には、たとえば二酸化シリコン(SiO_2)を用いることができる。次に、gとして示されるゲート電極がゲート誘電体層41上に形成され、ゲート電極gが微小機構21を形成する。たとえば、ポリシリコンのような材料を用いて、微小機構21を形成することができる。微小機構21を形成した後に、スペーサ層23aが微小機構21上にコン

50

フォーマルに堆積され、その後、異方性エッチングされて、スペーサ 23 が形成される。たとえば、窒化シリコン (Si_3N_4) のような材料がスペーサ層 23a のために用いられることができる。CVD のようなプロセスを用いて、スペーサ層 23a をコンフォーマルに堆積させることができる。

【0048】

図 17 では、コンフォーマル堆積ステップと後続の異方性エッチングステップが 2 回繰り返されて、微小機構 21 の相対する側面から外側に延在する 2 つのスペーサ 23 が画定される。スペーサ 23 の実際の数は、コンフォーマル堆積ステップの数と異方性エッチングステップの数とによって決定されるであろう。

【0049】

微小機構 21 は、微小機構 21 を画定するために用いられるリソグラフィプロセスとエッチングプロセスとによって部分的に決定することができる寸法 t_0 を有することができる。たとえば、寸法 t_0 は約 $0.10\ \mu\text{m}$ にすることができる。同様に、スペーサ 23 は、スペーサ 23 の間で同じにすることができるか、あるいは変更することができる寸法 t_1 および t_2 を有することができる。たとえば、寸法 t_1 および t_2 は約 $0.010\ \mu\text{m}$ にすることができる。上記の平坦化ステップの後に、スペーサ 23 および微小機構 21 の各材料と、スペーサ 23 および微小機構 21 が作用を受ける異方性エッチングプロセスとによって、スペーサ 23 および微小機構 21 間の高さの変化が決定されるであろう。 t_0 、 t_1 および t_2 のための寸法は本明細書に記載される値には限定されず、 t_0 、 t_1 および t_2 のための実際の寸法は応用形態に依存するであろう。

【0050】

単なる例示にすぎないが、ソース s およびドレイン d が基板 11 内に形成されることができ、低濃度のドーパ領域 43 と高濃度のドーパ領域 45 とを含むことができる。典型的な LDD プロセスでは、低濃度のドーパ領域 43 は、ゲート電極 g をマスクとして用いて、基板 11 に低濃度のドーパントを注入することにより形成されるであろう。次に、スペーサ 23 を形成した後に、スペーサ層 23 をマスクとして用いて、基板 11 に高濃度のドーパントを注入することにより高濃度のドーパ領域 45 が形成されるであろう。

【0051】

しかしながら、低濃度のドーパ領域 43 と高濃度のドーパ領域 45 とを形成するための上記のステップは、スペーサ技術を用いてワイドエリア・ナノサイズインプリント用スタンプ 10 を形成するためには必ずしも必要ではなく、全体として省略されることができる。ゲート誘電体層 41 はオプションであり、同様に省略されることができる。微小機構 21 およびスペーサ 23 は注入ステップを用いることなく形成されることができ、LDD プロセスの上記の説明は、マイクロエレクトロニクス分野の専門家によく知られているマイクロエレクトロニクス製造技術（たとえば、CMOS プロセス）を、本発明のスペーサ技術を用いてワイドエリア・ナノサイズインプリント用スタンプ 10 を形成するためにいかに適合させることができるかを示すための役割のみを果たす。

【0052】

本発明のいくつかの実施形態が開示され、説明されてきたが、本発明は、そのような記載され、説明される特定の形態あるいは部品の構成に限定されない。本発明は、特許請求の範囲によってのみ限定される。

【0053】

本発明は以下に要約される。

【0054】

1. ワイドエリア・ナノサイズインプリント用スタンプ (10) において、利用可能な領域 (A_U) を有するベース表面 (13) を有する基板 (11) と、相互に離隔されて前記利用可能な領域 (A_U) の概ね全てを占有するように配置され、前記ベース表面 (13) と接触し、そこから外側に延在する複数のインプリントスタンプ (20) と、前記各インプリントスタンプ (20) は所定の形状を有し、相対する側面 (22a、22

10

20

30

40

50

b) を有する微小機構 (21) と、前記相対する側面 (22a、22b) から横方向外側に延在する複数のスペーサ (23) と、を備え、
前記微小機構 (21) および前記スペーサ (23) は前記ベース表面 (13) から外側に延在し、また前記微小機構 (21) および前記スペーサ (23) は、インプリントプロファイル (24) を画定するために、前記微小機構 (21) および前記スペーサ (23) の間で異なる高さ (h_1 、 h_2) および幅を有する、
ことを特徴とするワイドエリア・ナノサイズインプリント用スタンプ。

【0055】

2. 前記所定の形状は、前記インプリントスタンプ (20) の全ての間で同一の形状、前記インプリントスタンプ (20) の全ての間で異なる形状、および前記インプリントスタンプ (20) の全ての間で同一の形状および異なる形状の組み合わせからなるグループから選択される形状であることを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

10

【0056】

3. 前記微小機構 (21) は、酸化シリコン、窒化シリコン、ポリシリコン、金属、酸窒化シリコン、炭化シリコン、ダイヤモンド・ライク・カーボンおよびシリサイドからなるグループから選択される材料から形成されることを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【0057】

4. 前記スペーサ (23) は、酸化シリコン、窒化シリコン、ポリシリコン、金属、酸窒化シリコン、炭化シリコン、ダイヤモンド・ライク・カーボンおよびシリサイドからなるグループから選択される材料から形成されることを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

20

【0058】

5. 前記基板 (11) は、ガラス、パイレックス (PYREX)、酸化シリコン、酸化アルミニウムおよびリン化インジウムからなるグループから選択される材料から形成されることを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【0059】

6. 前記基板は、半導体材料であることを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

30

【0060】

7. 前記半導体材料は、シリコンであることを特徴とする第6項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【0061】

8. 隣接する前記インプリントスタンプ (20) 間に配置される充填材層 (31) をさらに含むことを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【0062】

9. 前記充填材層 (31) は、テトラエチルオルトシリケート、ホウ素をドーブしたテトラエチルオルトシリケート、リンをドーブしたテトラエチルオルトシリケート、ホウ素およびリンをドーブしたテトラエチルオルトシリケートからなるグループから選択される材料であることを特徴とする第8項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

40

【0063】

10. 前記インプリントスタンプ (20) は、前記利用可能な領域 (A_U) の概ね全てよりも小さい領域 (A_P) を占有することを特徴とする第1項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【0064】

11. 前記領域 (A_P) は、複数のダイ (50) に分割され、前記ダイ (50) は互いから離隔して配置され、前記各ダイ (50) はダイ面積を含み、前記各ダイ (50) にお

50

いて、前記インプリントスタンプ（２０）は、前記ダイ面積の概ね全ての面積とすることができ、あるいは前記ダイ面積より小さい面積とすることができサブ領域（ A_p ）を占有することを特徴とする第１０項に記載のワイドエリア・ナノサイズインプリント用スタンプ。

【００６５】

１２． ワイドエリア・ナノサイズインプリント用スタンプ（１０）を形成する方法であって、

基板（１１）のベース表面（１３）上の利用可能な領域（ A_u ）上に機構層（２１ａ）を堆積することと、

前記機構層（２１ａ）をパターニングし、その後ドライエッチングして、上側表面（２５）および相対する側面（２２ａ、２２ｂ）を有する複数の微小機構（２１）を画定することと、

スペーサ層（２３ａ）が前記上側表面（２５）および前記相対する側面（２２ａ、２２ｂ）上で概ね等しい所望の厚み（ t_1 、 t_2 ）を有するまで、前記微小機構（２１）上に前記スペーサ層（２３ａ）をコンフォーマルに成長させることと、

前記スペーサ層（２３ａ）を異方性エッチングし、前記上側表面（２５）上に配置される前記スペーサ層（２３ａ）の一部を除去し、個々の前記微小機構（２１）の前記相対する側面（２２ａ、２２ｂ）上に配置される複数のスペーサ（２３）を含む複数のインプリントスタンプ（２０）を画定することと、

前記コンフォーマルに成長させるステップと前記異方性エッチングするステップとを必要に応じて繰り返して、前記インプリントスタンプ（２０）上にさらに別のスペーサ（２３）を画定することと、

前記インプリントスタンプ（２０）を平坦化して、前記微小機構（２１）および前記スペーサ（２３）が、前記ベース表面（１３）から概ね同じ高さ（ h_0 ）だけ外側に延在するようにすることと、

前記スペーサ（２３）および前記微小機構（２１）のうちの選択された１つあるいは複数のものを選択的にエッチングして、前記インプリントスタンプ（２０）内にインプリントプロファイル（２４）を画定することと、

前記選択的にエッチングするステップを必要に応じて繰り返して、前記スペーサ（２３）および前記微小機構（２１）のうちの選択された１つあるいは複数のものを選択的にエッチングして、前記インプリントスタンプ（２０）の前記インプリントプロファイル（２４）をさらに画定することを含む方法。

【００６６】

１３． 前記平坦化するステップの前に、前記インプリントスタンプ（２０）を完全に覆う充填材層（３１）を堆積することをさらに含み、その後前記平坦化するステップを実施して、前記インプリントスタンプ（２０）および前記充填材層（３１）を平坦化し、前記微小機構（２１）、前記スペーサ（２３）および前記充填材層（３１）が前記ベース表面（１３）から所定の高さ（ h_0 ）だけ外側に延在するようにする第１２項に記載の方法。

【００６７】

１４． 前記選択的にエッチングするステップは、前記充填材層（３１）を所定の厚み（ t_f ）まで選択的にエッチングすることを含むことを特徴とする第１３項に記載の方法。

【００６８】

【発明の効果】

本発明によれば、大きな領域上に形成されることができ、さらに、複雑なパターンおよび形状を形成することができるナノサイズのインプリント用スタンプを実現することができる。

【図面の簡単な説明】

【図１】（ａ）は従来のインプリントスタンプの外形図であり、（ｂ）は従来のインプリントパターンの平面図である。

【図２】図１（ａ）の従来のインプリントスタンプによって形成されるナノサイズの圧痕を

有する従来のマスク層の外形図である。

【図 3】異方性エッチングステップ後の図 2 の従来のマスク層の外形図である。

【図 4】(a) は従来のインプリントスタンプを形成するための従来のプロセスの断面図であり、(b) は基板が個別の部分にスライスされる前の従来の基板の外形図である。

【図 5】従来のインプリントパターンを画定するために選択的にエッチングされた従来のインプリントスタンプの個別の部分の断面図である。

【図 6】従来のインプリントスタンプのインプリント領域およびパターン形成できない領域を示す外形図である。

【図 7】ナノサイズパターンを形成するために、従来のインプリントスタンプを従来のマスク層に押圧するための従来のプロセスを示す図である。

10

【図 8】本発明による微小機構の外形図である。

【図 9】本発明による図 8 の微小機構上に形成されるスペーサ層の外形図である。

【図 10】本発明による図 9 のスペーサ層を選択的にエッチングすることにより形成されるスペーサの外形図である。

【図 11】本発明によるワイドエリア・ナノサイズインプリント用スタンプを形成するためのプロセスを示す図である。

【図 12】本発明による複雑な形状を有する微小機構およびスペーサの平面外形図である。

【図 13】図 12 (a) ないし (c) の微小機構およびスペーサを形成するためのプロセスを示す断面図である。

20

【図 14】図 13 (c) の微小機構およびスペーサを選択的にエッチングすることにより形成されるワイドエリア・ナノサイズインプリント用スタンプの外形図である。

【図 15】本発明による複雑な形状を有する微小機構およびスペーサによって形成されるインプリントプロファイルを示す外形図である。

【図 16】本発明によるワイドエリア・ナノサイズインプリント用スタンプを形成するために用いられることができる種々の材料層の断面図である。

【図 17】本発明による LDD プロセスに類似のプロセスを用いて形成される微小機構およびスペーサの断面図である。

【図 18】本発明による、インプリントスタンプが基板の利用可能な領域の概ね全てを占有する、基板の平面図である。

30

【図 19】本発明による、複数のダイに分割された基板と、インプリントスタンプがダイ面積の概ね全てを占有するダイとの平面図である。

【図 20】本発明による、充填材層が所定の厚みまで選択的にエッチングされたインプリントスタンプの断面図である。

【図 21】本発明による、機構層から微小機構を形成することを示す断面図である。

【図 22】本発明による、インプリントプロファイルをマスク層に転写するために互いに押圧されて接触するワイドエリア・ナノサイズインプリント用スタンプとマスク層との外形図である。

【符号の説明】

10 ワイドエリアなりのサイズインプリント用スタンプ

40

11 基板

13 ベース表面

20 インプリントスタンプ

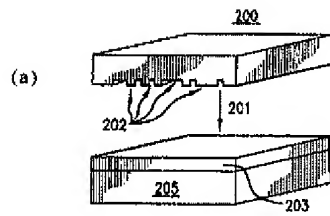
21 微小機構

22 a、22 b 相対する側面

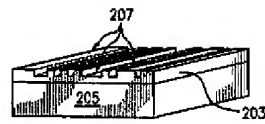
23 スペーサ

24 インプリントプロファイル

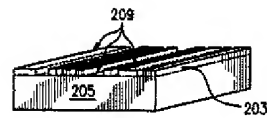
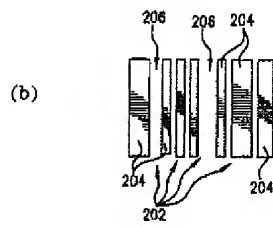
【図 1】



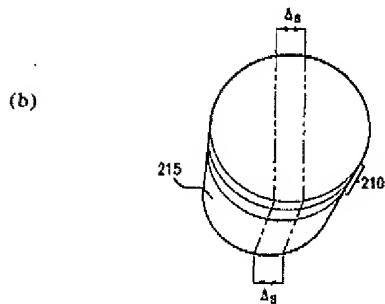
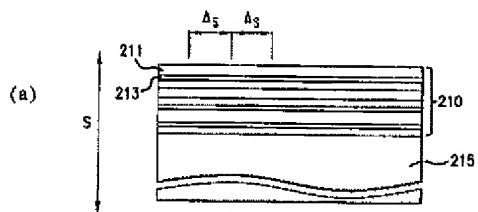
【図 2】



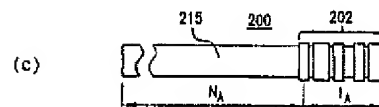
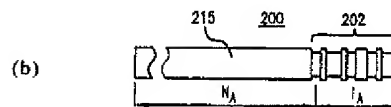
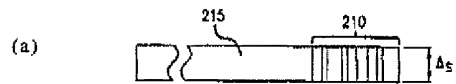
【図 3】



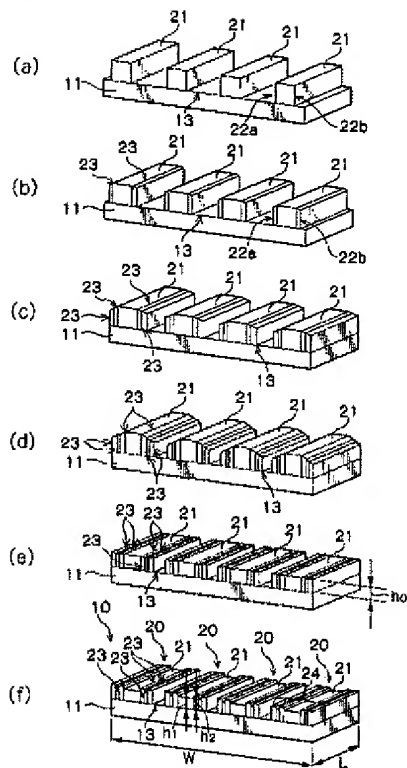
【図 4】



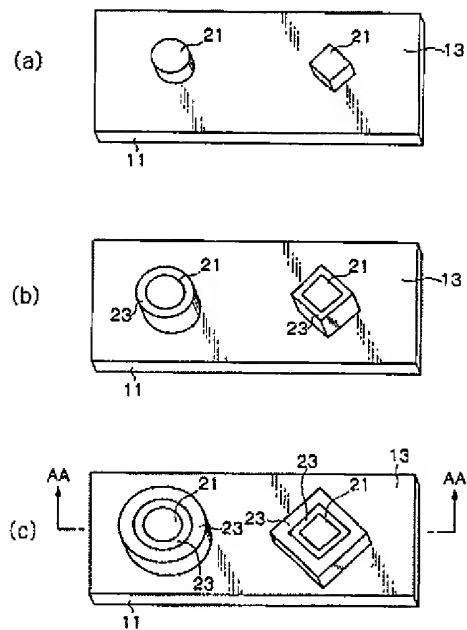
【図 5】



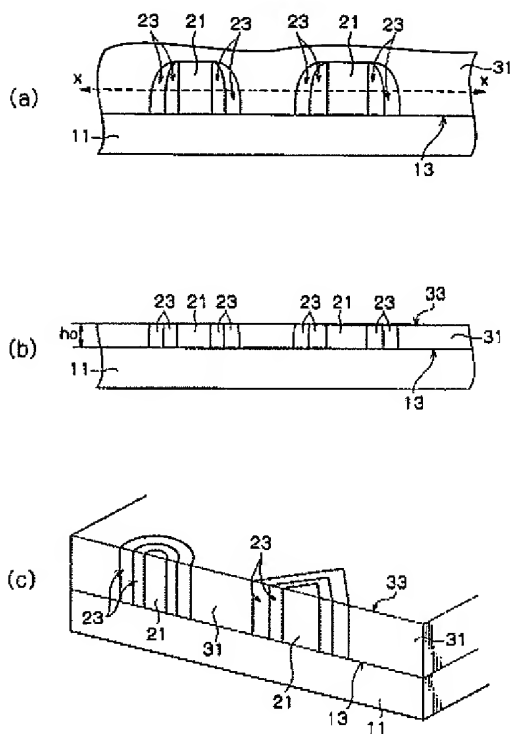
【図 1 1】



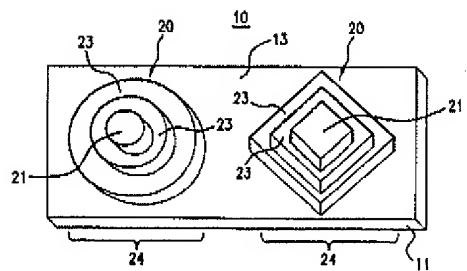
【図 1 2】



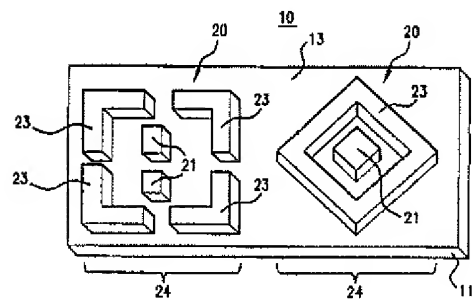
【図 1 3】



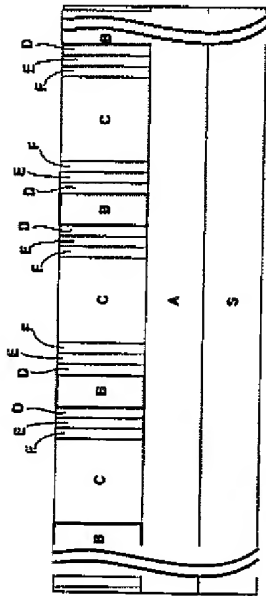
【図 1 4】



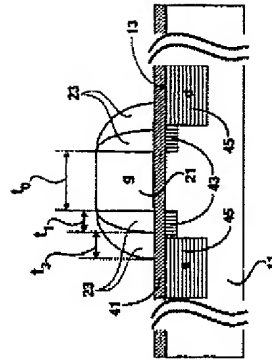
【図 1 5】



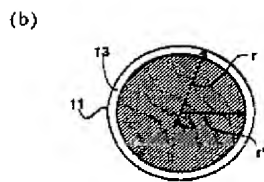
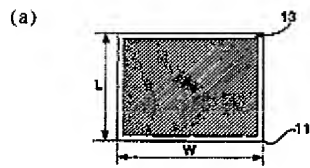
【図 16】



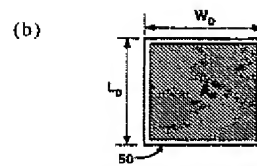
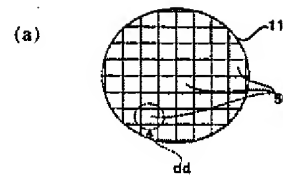
【図 17】



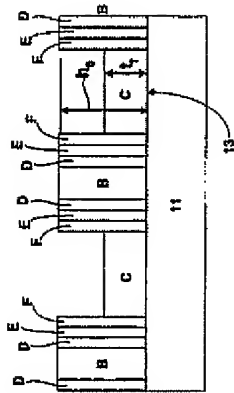
【図 18】



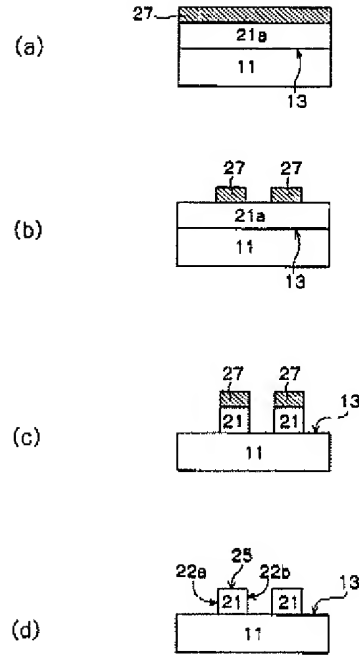
【図 19】



【図 20】



【図 21】



【図 22】

